

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-323664

(43)Date of publication of application : 24.11.2000

(51)Int.Cl.

H01L 27/04

H01L 21/822

H01L 21/3205

(21)Application number : 11-133286

(71)Applicant : NEC CORP

(22)Date of filing : 13.05.1999

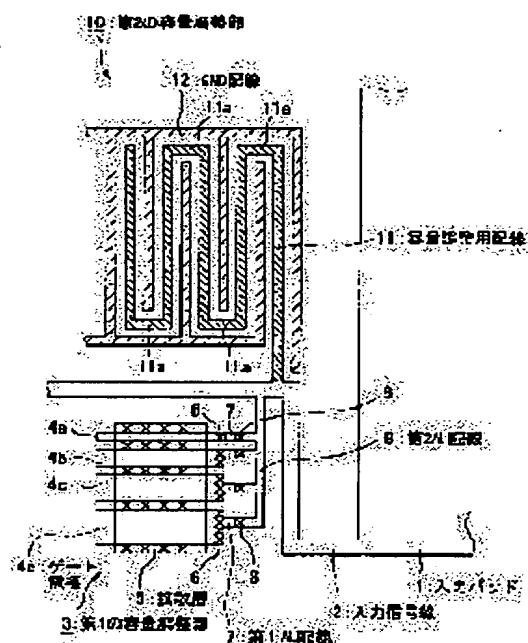
(72)Inventor : HARUKI SUNAO

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device equipped with a capacitance adjusting part for freely setting the adjusting amounts of a wiring capacitance, and for easily operating the adjusting work.

SOLUTION: A semiconductor device is provided with a conventional capacitance adjusting part 3 and a capacitance adjusting part 10, in which a prescribed wiring capacitance is formed by adjacently arranging capacitance adjusting wiring 11 constituted of second aluminum wiring connected with an input signal line 2 for adjusting the wiring capacitance, and GND wiring 12 constituted of the second aluminum wiring in the same layer as the capacitance adjusting wiring 11 for adjusting the wiring capacitance of the input signal line 2 based on the wiring capacitance.



LEGAL STATUS

[Date of request for examination] 20.04.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3292175

[Date of registration] 29.03.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11)特許番号 ✓
特許第3292175号
(P3292175)

(45)発行日 平成14年 6 月17日 (2002. 6. 17)

(24)登録日 平成14年 3 月29日 (2002. 3. 29)

(51)Int.Cl.⁷

識別記号

F I

H 0 1 L 21/822
21/3205
27/04

H 0 1 L 27/04
21/88

C
S

請求項の数 9 (全 8 頁)

(21)出願番号 特願平11-133286

(22)出願日 平成11年 5 月13日 (1999. 5. 13)

(65)公開番号 特開2000-323664(P2000-323664A)

(43)公開日 平成12年11月24日 (2000. 11. 24)

審査請求日 平成12年 4 月20日 (2000. 4. 20)

(73)特許権者 000004237

日本電気株式会社
東京都港区芝五丁目 7 番 1 号

(72)発明者 春木 直
東京都港区芝五丁目 7 番 1 号 日本電気
株式会社内

(74)代理人 100108578
弁理士 高橋 詔男 (外 3 名)

審査官 大嶋 洋一

(56)参考文献 特開 平 9 - 270195 (J P, A)
特開 平 9 - 213808 (J P, A)
特開 平 2 - 304963 (J P, A)

最終頁に続く

(54)【発明の名称】 半導体装置

1

(57)【特許請求の範囲】

【請求項 1】 配線容量を調整しようとする被容量調整配線に接続された第 1 の容量調整部と第 2 の容量調整部とが備えられ、前記第 1 の容量調整部はゲート容量で構成され、前記第 2 の容量調整部には、配線容量を調整しようとする被容量調整配線に接続された容量調整用配線と、該容量調整用配線と同一の層で形成されとともに一定電圧が印加された定電圧配線とが設けられ、前記容量調整用配線と前記定電圧配線とが近接配置されて所定の線間容量が形成され、該線間容量により前記被容量調整配線の配線容量を調整することを特徴とする半導体装置。

【請求項 2】 前記定電圧配線が、電源電圧配線または接地電圧配線であることを特徴とする請求項 1 に記載の半導体装置。

2

【請求項 3】 前記容量調整用配線、前記定電圧配線の少なくともいずれか一方が屈曲部を有することを特徴とする請求項 1 または 2 に記載の半導体装置。

【請求項 4】 前記容量調整用配線、前記定電圧配線の少なくともいずれか一方が櫛歯状に形成されたことを特徴とする請求項 1 または 2 に記載の半導体装置。

【請求項 5】 前記第 2 の容量調整部が、多層配線構造のうちの最上層に設けられた配線からなることを特徴とする請求項 1 ないし 4 のいずれかに記載の半導体装置。

10 【請求項 6】 前記第 2 の容量調整部が、前記最上層を除く層で構成された任意の素子または配線の上に重ねて設けられたことを特徴とする請求項 5 に記載の半導体装置。

【請求項 7】 前記被容量調整配線が、入力信号線であることを特徴とする請求項 1 ないし 6 のいずれかに記載

の半導体装置。

【請求項8】 前記被容量調整配線が、回路内のクロック信号線であることを特徴とする請求項1ないし6のいずれかに記載の半導体装置。

【請求項9】 絶縁層を介して配置された2層の導電層からなる入力パッドが設けられ、これら2層の導電層により層間容量が形成され、該層間容量により入力信号配線の配線容量を調整する容量調整部が備えられ、前記容量調整部において、該容量調整部を構成する少なくとも一方の導電層が複数の領域に分割され、これら複数の分割領域毎に前記2層の導電層を短絡させるか否かによって前記層間容量を調整することを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置に関し、特に、配線容量の調整を容易にかつ合理的に行うための容量調整部を備えた半導体装置に関するものである。

【0002】

【従来の技術】 図6は、従来のDRAMの構成の一例を示すものである。従来から、DRAM等の半導体デバイスでは、記憶容量の増大によりチップ面積が増大しても実装密度が低下しないよう、パッケージの小型化が精力的に進められてきた。図6に示すものは、近年採用されている最も小型化が進んだパッケージの一つであるCSP (Chip Size Package) の一例である。このCSPは、ポリイミドからなる基板100と半導体チップ101とが、チップ表面側を基板側に向けて固定され、樹脂102により封止されたものである。基板100の下面に外部端子となる多数の半田ボール103が設けられる一方、半導体チップ101の表面にはチップ上の配線端子となる多数のパッド(図示略)が形成されている。そして、各半田ボール103と各パッドとは、基板上面に形成された銅配線(図示略)、基板を貫通するスルーホール内に埋め込まれた導電体(図示略)を通じて電気的に接続されている。

【0003】 図7は、半導体チップの回路ブロックを示す概略構成図である。このチップは、4個のメモリセルブロック104とその周囲に配置された周辺回路105とを有しており、チップ中央に多数のパッド106が1列に形成されている。なお、この図ではパッド106につながる配線の図示は省略している。

【0004】 図8は、上記DRAMを裏面側(半田ボール側)から見た状態を示している。このDRAMの例では、基板100上の半田ボール103は左右に3列ずつ配置されており、半導体チップ101上のパッド106は中央に1列に配置されている。したがって、各半田ボール103と各パッド106を接続する配線107は当然ながら直線的に配線することはできず、他の配線10

7と短絡しないように適宜取り回されて配線されている。なお、図8では、半田ボール103とパッド106を接続する一部の配線107のみを図示したが、他の箇所も同様に配線されている。

【0005】 ところが、図8を見ても明らかなように、各配線107毎に長さが異なるため、各配線107が持つ配線容量も配線毎に異なっている。つまり、DRAMの外部端子からパッドまでの配線容量がピン間でばらつくことになり、このままではデータの書き込み、読み出し動作に際してピン間で信号のタイミングがずれ、エラーの発生につながる恐れがある。そこで、この種の半導体チップ内には、各配線の配線容量の合わせ込みを行うための容量調整部が通常用意されている。

【0006】 図9は、上記DRAMの容量調整部の構成を示す図である。この容量調整部108は、基本的にはゲート容量で構成されている。すなわち、半導体基板表面に形成された拡散層109と、ゲート絶縁膜を介して拡散層109と対向するゲート電極110a、110b、110c、110dにより容量が形成されている。また、容量値を種々に調整するために複数(この場合、4個)のゲート電極110a、110b、110c、110dが設けられ、各ゲート電極110a、110b、110c、110dがスルーホール111を介して第1アルミ配線112にそれぞれ接続され、各第1アルミ配線112がスルーホール113を介して第2アルミ配線114にそれぞれ接続されている。そして、各第2アルミ配線114が入力パッド115に接続された入力信号線116に接続されている。

【0007】 なお、本明細書において、「第1アルミ配線」とは2層配線構造における1層目側(下層側)のアルミ配線、「第2アルミ配線」とは2層目側(上層側)のアルミ配線のことを言う。

【0008】 上記4個のゲート電極110a、110b、110c、110dはそれぞれゲート長が異なり、最小のゲート長を基準として各々が2倍、3倍、4倍のゲート長に設定されている。それに応じて、容量値に関しても、最小のゲート長のところの容量値を基準とすると、2倍、3倍、4倍の容量値となっている。つまり、容量値は、最小のゲート長から最大のゲート長に向けて順に、例えば10fF(フェムト・ファラド)、20fF、30fF、40fFというように設定されている。

【0009】 このような容量調整部108を備えたDRAMにおいて、配線容量の合わせ込みを行う場合には、半導体チップをパッケージの状態に組み立て、電気的特性の測定、評価を行った後、この評価結果から判断して配線容量が多い側に合わせるように容量の付加が必要な入力信号線に対して上記の容量調整部108を用いて容量の付加を行っていた。実際に容量を付加する場合には、第2アルミ配線のマスクパターンを設計変更し、上記4種類の容量値を持つゲート容量のいずれを入力信号

5

線に接続するかによって、付加する容量値を変更していた。したがって、上記の例の場合、4種類のゲート容量の組み合わせによって、10 fFから100 fFまでの容量付加が10 fF刻みで可能であった。

【0010】

【発明が解決しようとする課題】しかしながら、上記従来のDRAMにおける配線容量の調整方法には、以下の問題点があった。すなわち、容量値が各々固定された数種類のゲート容量を組み合わせる配線容量の調整を行うため、限られた刻み幅（上記の例で言えば10 fF）や限られた上限値（上記の例で言えば100 fF）での調整しか行うことができず、きめ細かな容量値の調整が困難であった。その対策として、より小さい容量値のものを含めてゲート容量を多数用意しておくことが考えられるが、その場合、ゲート容量の数が増えることで容量調整部の占有面積が増大し、チップ面積の増大につながるという問題が生じてしまう。また、新たなゲート容量を付加する場合、下層のマスクパターンから設計変更が必要になり、マスク設計変更の手間や時間が増大するという問題もある。

【0011】本発明は、上記の課題を解決するためになされたものであって、配線容量の調整量を自在に設定でき、しかもその調整作業が容易に行える構造の容量調整部を備えた半導体装置を提供することを目的とする。

【0012】

【課題を解決するための手段】上記の目的を達成するために、本発明の半導体装置は、以下の2つの解決手段を有するものである。まず、本発明の第1の半導体装置は、配線容量を調整しようとする被容量調整配線に接続された第1の容量調整部と第2の容量調整部とが備えられ、前記第1の容量調整部はゲート容量で構成され、前記第2の容量調整部は線間容量で構成されていることを特徴とするものである。特に、前記第2の容量調整部には、配線容量を調整しようとする被容量調整配線に接続された容量調整用配線と、容量調整用配線と同一の層で形成されるとともに一定の電圧が印加された定電圧配線とが設けられ、容量調整用配線と定電圧配線とが近接配置されて所定の線間容量が形成され、この線間容量により被容量調整配線の配線容量を調整することを特徴とするものである。前記定電圧配線には、例えば電源電圧配線、接地電圧配線等を用いることができる。そして、容量調整用配線や定電圧配線の形状としては、屈曲部を有したり、櫛歯状に形成することができる。

【0013】すなわち、従来の容量調整部がゲート容量を使用していたのに対し、本発明の第1の半導体装置の第2の容量調整部は、容量調整用配線と定電圧配線とが近接配置され、これら配線により線間容量を形成したものである。そして、これら容量調整用配線、定電圧配線は、ただ単に直線状に配置するのみでなく、屈曲させたり、櫛歯状の形状として2本の配線を噛み合わせるよう

6

に配置することにより配線同士の対向面積を大きくすれば、限られた占有面積で所定の容量値を得ることができる。また、付加する容量値の大きさは、配線同士の対向面積の増減により自在に調整することができる。

【0014】その結果、本発明によれば、データの書き込み、読み出し動作に際してピン間の信号のタイミングずれに起因したエラーが生じることのない、信頼性の高い半導体装置を提供することができる。

【0015】前記第2の容量調整部は、多層配線構造のうちの最上層に設けられた配線で形成することが望ましい。この構成とした場合、最上層の配線層のマスクパターンの変更のみで容量値の調整を行うことができ、それよりも下層側のマスクパターンは何ら修正の手を加える必要がない。そのため、配線容量の調整に係わるマスク設計変更の手間や時間を低減することができる。

【0016】さらに、第2の容量調整部を最上層の配線で形成した場合、その容量調整部を最上層を除く層で構成された任意の素子または配線の上に重ねて形成することができる。このようにすると、第2の容量調整部のために別途スペースを必要としないため、チップ面積の縮小化に寄与することができる。

【0017】ここで、前記配線容量の調整を行う対象となる配線、本発明で言うところの「被容量調整配線」としては、入力信号線もしくは回路内のクロック信号線が考えられる。

【0018】次に、本発明の第2の半導体装置は、絶縁層を介して配置された2層の導電層により入力パッドが構成され、これら2層の導電層が層間容量を形成し、この層間容量により入力信号配線の配線容量を調整する容量調整部を備え、前記容量調整部において、該容量調整部を構成する少なくとも一方の導電層が複数の領域に分割され、これら複数の分割領域毎に前記2層の導電層を短絡させるか否かによって前記層間容量を調整することを特徴とする。

【0019】すなわち、本発明の第2の半導体装置の容量調整部は、入力パッドを構成する2層の導電層により層間容量を形成したものである。通常、入力パッドの面積や層間絶縁層の厚さは決まった値であるため、これら2層の導電層からなる層間容量の値も一定の値にしかない。そこで、入力パッドを構成する導電層を複数に分割し、例えば複数の分割領域毎に2層の導電層を接続するコンタクトを形成して2層の導電層を短絡させればその分割領域は容量を形成せず、逆にコンタクトを形成しないようにして2層の導電層を短絡させなければその分割領域は層間容量を形成することになる。したがって、2層の導電層を短絡させる分割領域の数を増減すれば、入力パッド全体として見たときに層間容量の値を調整することができる。

【0020】この手段は、元来ある程度広い面積を占有する入力パッドを容量調整部として利用しようとするも

のであって、容量調整部を設けるために新たなスペースを必要としないため、特に容量調整部の占有面積の低減という観点からは非常に有効な手段である。さらに、容量調整量も大きく取れる、という利点がある。また、導電層を細かく分割することで細かな刻み幅の容量調整も可能である。

【0021】上記第1、第2の本発明の半導体装置においては、例えば、従来の容量調整部を用いてある程度の容量を付与した後、本発明の第2の容量調整部を用いて配線容量の微調整を行うようにしてもよい。そうすることにより、双方の容量調整部が協働して配線容量の調整に寄与することができる。

【0022】

【発明の実施の形態】〔第1の実施の形態〕以下、本発明の第1の実施の形態を図面を参照して説明する。図1は本実施の形態のDRAM（半導体装置）を示す図であって、特に本発明の特徴部分である容量調整部の構成を示している。なお、本実施の形態のDRAMの配線構造は、2層アルミ配線で構成されている。

【0023】本実施の形態において、配線容量を調整しようとする対象となる配線（被容量調整配線）は、入力パッド1に接続された入力信号線2である。そして、この入力信号線2は、第2アルミ配線で形成されている。図1に示すように、本実施の形態では、従来の容量調整部（以下、第1の容量調整部3という）を容量調整に用いている。すなわち、ゲート容量で構成された第1の容量調整部3が設けられ、拡散層5上に形成された4個のゲート電極4a、4b、4c、4dの各々がスルーホール6を介して第1アルミ配線7に接続され、各第1アルミ配線7がスルーホール8を介して第2アルミ配線9に接続され、第2アルミ配線9が入力信号線2に接続されている。各ゲート容量の容量値は、一例として10fF、20fF、30fF、40fFに設定されており、4種類のゲート容量の組み合わせにより10fFから100fFまでの容量付加が10fF刻みで可能となっている。ここでは、全てのゲート容量が入力信号線2に接続され、合計100fFの容量が付加されている。

【0024】さらに本実施の形態では、第1の容量調整部3に加えて、本発明特有の容量調整部（以下、第2の容量調整部10という）を配線容量の調整に併用している。第2の容量調整部10の構成を説明すると、入力信号線2の途中から分岐し、4箇所の屈曲部11aを有する容量調整用配線11が設けられている。この容量調整用配線11も入力信号線2と同様、第2アルミ配線で形成されている。一方、チップ内を通る主グラウンド配線（図示せず）から分岐したグラウンド配線12（定電圧配線、以下、GND配線と記す）が、容量調整用配線11の屈曲した形状と噛み合うように櫛歯状に形成されている。GND配線12も容量調整用配線11と同様、第2アルミ配線で形成されている。そして、容量調整用配

線11とGND配線12が互いに対向するように近接配置され、数100fF程度の線間容量が形成されている。この線間容量によって入力信号線2の配線容量を調整する第2の容量調整部10が構成されている。なお、図1においては図面を見やすくするため、容量調整用配線11とGND配線12にハッチングを施した。

【0025】上記第1、第2の容量調整部3、10を備えた本実施の形態のDRAMにおいて、各ピン間の入力信号線の配線容量の合わせ込みを行う場合には、半導体チップをパッケージの状態に組み立て、電気的特性の測定、評価を行った後、この評価結果から判断して配線容量が多い側に合わせるように第1、第2の容量調整部3、10を用いて容量の付加を行えばよい。すなわち、本実施の形態のDRAMは第1、第2の容量調整部3、10を備えているので、入力信号線2の配線容量の調整の際にはこれら双方の容量調整部3、10を駆使して配線容量を適切に調整することができる。例えば、第1の容量調整部3における最大容量である100fFを配線容量に付加し、まだ容量が足りない場合には第2の容量調整部10を使用すればよい。その際、容量調整用配線11とGND配線12の長さを適宜調節し、これら配線11、12の対向面積を調節することにより、付加する容量値を細かく調節することができる。

【0026】このように、本実施の形態のDRAMにおいては、屈曲させた容量調整用配線11と櫛歯状のGND配線12とから第2の容量調整部10が構成されているので、容量調整部の占有面積をそれ程大きくすることなく、所望の配線容量を高精度で実現することができる。この際、第1の容量調整部3においていずれのゲート容量を入力信号線2に接続するか否かを決定するのは第2アルミ配線であるし、第2の容量調整部10において容量調整用配線11とGND配線12の長さを調節するのも第2アルミ配線であるから、配線容量の調整に際して変更するマスクパターンは第2アルミ配線のパターンのみで足り、それよりも下層側のマスクパターンは何ら修正の手を加える必要がない。したがって、配線容量の調整に係わるマスク設計変更の手間や時間を低減することができる。

【0027】本実施の形態においては、第2の容量調整部10を4つの屈曲部11aを有する容量調整用配線11と櫛歯状のGND配線12で構成したが、容量調整用配線とGND配線の具体的な形状はこれに限ることなく、種々の設計変更が可能である。例えば図2に示すように、容量調整用配線14とGND配線15の双方を櫛歯状とし、櫛歯同士を噛み合わせるような形状の第2の容量調整部16としてもよい。このようにした場合でも、図1と同様、配線容量値を自在に調整することが可能となる。

【0028】〔参考例〕

以下、本発明の参考例を図面を参照して説明する。図3

は本参考例のDRAM（半導体装置）を示す図であって、特に本発明の特徴部分である容量調整部の構成を示している。

【0029】第1の実施の形態では、入力信号線2の配線容量の調整にあたって従来構造の第1の容量調整部3と本発明特有の第2の容量調整部10を併用した例を示したが、本参考例では第1の容量調整部3を用いることなく、第2の容量調整部10のみで配線容量の調整を行っている。すなわち、図3において、容量調整用配線11とGND配線12からなる第2の容量調整部10の構成は第1の実施の形態と同様である（図1と共通の構成要素については同一の符号を付す）が、第1の容量調整部3を構成する4つのゲート容量はいずれも入力信号線2に接続されていない。

【0030】このように、本参考例のDRAMは、配線容量の調整時に付加する容量を全て第2の容量調整部10で負担する例である。本参考例の場合も、容量調整部の占有面積を大きくすることなく所望の配線容量を高精度で実現できる、配線容量の調整に係わるマスク設計変更の手間や時間を低減できる、という第1の実施の形態と同様の効果を奏することができる。

【0031】さらに第1の実施の形態および参考例においては、第1の容量調整部3と第2の容量調整部10を別々の箇所に設けたが、第1の容量調整部3はゲート容量で形成され、第2の容量調整部10は第2アルミ配線のみで形成されているため、第1の容量調整部3の上方に重ねて第2の容量調整部10を形成することも可能である。特に参考例の場合、第1の容量調整部3を使用していないため、第1の容量調整部3の上方には第2アルミ配線が全く存在せず、第2の容量調整部10をなす容量調整用配線11とGND配線13を自由に配置することができる。もしくは、この他の箇所で第2アルミ配線が存在しない箇所があれば、そこに第2の容量調整部10を形成してもよい。このような構成とすることによって、容量調整部の占有面積のより一層の低減を図り、チップ面積の縮小化に寄与することができる。

【0032】なお、第1の実施の形態および参考例においては、容量調整用配線11とGND配線12で第2の容量調整部10を構成する例を示したが、容量調整用配線と電源電圧配線（VDD配線）で容量調整部を構成してもよい。その場合でも、上記実施の形態と同様の効果を得ることができる。本発明の容量調整部に用いる定電圧配線としてはGND配線やVDD配線が使いやすいが、これら配線以外に常時一定電圧が印加された配線が適当な箇所にあれば、それを用いてもよい。

【0033】〔第2の実施の形態〕

以下、本発明の第2の実施の形態を図面を参照して説明する。図4は本実施の形態のDRAM（半導体装置）を示す図であって、特に本発明の特徴部分である容量調整部の構成を示している。また、図5は図4のA-A線に

沿う断面図である。なお、本実施の形態のDRAMの配線構造も第1の実施の形態と同様、2層アルミ配線構造である。

【0034】本実施の形態のDRAMの容量調整部18は、図5に示すように、入力パッド19を構成する第1アルミ層20（導電層）、第2アルミ層21（導電層）が層間絶縁膜22を介して層間容量を形成し、この層間容量によって入力信号線23の配線容量を調整するものである。この容量調整部18は、図4および図5に示すように、第1アルミ層20が複数（本実施の形態の場合、4行4列の計16個）の領域24a、24bに分割されている。そして、これら分割領域24a、24bのうち、図4において上から2行目、3行目、4行目の左側から1列目、2列目、3列目の計9個の分割領域24aには、図5に示すように、層間絶縁膜22を貫通して第1アルミ層20と第2アルミ層21を短絡させるコンタクト25が各分割領域24a毎に複数個（本実施の形態の場合、9個）設けられている。また、図4において最上行と最右列の計7個の分割領域24bには、コンタクト25は設けられておらず、第1アルミ層20と第2アルミ層21は短絡していない。

【0035】本実施の形態の容量調整部18においては、入力パッド19を構成する第1アルミ層20を複数の領域24a、24bに分割し、コンタクト25が形成された領域24aと形成されていない領域24bとを作り分けたため、コンタクト25が形成された領域24aでは2層のアルミ層20、21が短絡し、その分割領域24aは容量を形成せず、その一方、コンタクト25が形成されていない領域24bでは2層のアルミ層20、21が短絡しないのでその分割領域24bは容量を形成することになる。よって、本実施の形態の場合、分割領域24bの面積と層間絶縁膜22の膜厚とで決まる1個の分割領域24bで得られる層間容量の7倍の容量を配線容量に付加することができる。したがって、2層のアルミ層20、21を短絡させない分割領域24bの数を増減することにより、パッド全体として層間容量の値を調整することができ、配線容量の調整量を変えることができる。

【0036】本実施の形態の容量調整部18は、ある程度広い面積を占有する入力パッド19を容量調整部として利用しようとするものであって、容量調整部を設ける際に新たなスペースを必要としないため、特に容量調整部の占有面積の低減という観点から有効な方法である。さらに、入力パッド19自体の面積が広いため、容量調整量も大きく取れる、という利点がある。また、第1アルミ層20をより細かく分割することで細かな刻み幅の容量調整も可能である。

【0037】なお、本発明の技術範囲は上記実施の形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲において種々の変更を加えることが可能である。例

例えば第1の実施の形態では容量調整を行う対象の配線として入力信号線の場合を示したが、本発明の容量調整部の適用対象は入力信号線に限るものではなく、回路内のクロック信号線等であってもよい。さらに、複数のピン間で信号のタイミングを合わせるといった目的のみならず、回路内で意図的にタイミングを遅くしたい配線があるような場合にその配線に容量を付加する目的で本発明の容量調整部を用いてもよい。また、従来の容量調整部、第1の実施の形態の線間容量からなる容量調整部、第2の実施の形態の入力パッド部の層間容量からなる容量調整部は適宜併用してもかまわない。

【0038】上記実施の形態で示した容量調整部の具体的な形状、例えば容量調整用配線、GND配線等の屈曲部の数や歯の数、入力パッド部の分割領域の数、等に関しては、適宜変更が可能なのは勿論である。また、本発明の適用範囲は2層配線構造のDRAMに限るものではなく、多層配線構造を有する種々の半導体装置に適用可能である。

【0039】

【発明の効果】以上、詳細に説明したように、本発明の半導体装置においては、容量調整用配線と電源電圧配線または容量調整用配線と接地電圧配線の対向面積を増減したり、2層の導電層を短絡させない分割領域の数を増減することにより、被容量調整配線の配線容量を自在に調整することができる。その結果、データの書き込み、読み出し動作に際してピン間の信号のタイミングずれに起因したエラーが生じることのない、信頼性の高い半導体装置を提供することができる。また、配線容量調整に係わるマスク設計変更の手間や時間を低減したり、容量調整部の占有面積を低減することでチップ面積の縮小化が図れるという効果を得ることもできる。

【図面の簡単な説明】

【図1】 本発明の第1の実施の形態のDRAMの容量調整部を示す平面図である。

【図2】 同、容量調整部の変形例を示す平面図である。

【図3】 本発明の参考例のDRAMの容量調整部を示す平面図である。

【図4】 本発明の第2の実施の形態のDRAMの容量調整部を示す平面図である。

【図5】 図4のA-A線に沿う断面図である。

【図6】 パッケージングされたDRAMの一例を示す図であり、特にCSPの一例である。

【図7】 DRAMチップの回路ブロックの一例を示す概略構成図である。

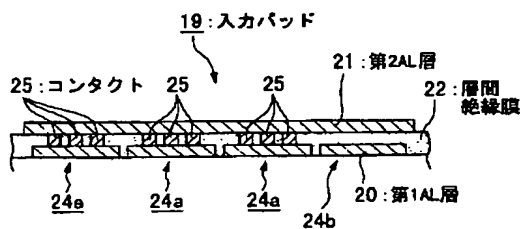
【図8】 上記DRAMの裏面図である。

【図9】 従来のDRAMの容量調整部の一例を示す平面図である。

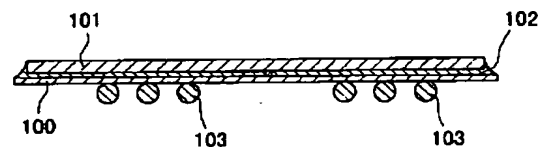
【符号の説明】

- 1, 19 入力パッド
- 2, 23 入力信号線（被容量調整配線）
- 3 第1の容量調整部
- 7 第1アルミ配線
- 9 第2アルミ配線
- 10, 16 第2の容量調整部
- 11, 14 容量調整用配線
- 11a 屈曲部
- 12, 15 GND配線
- 18 容量調整部
- 20 第1アルミ層
- 21 第2アルミ層
- 22 層間絶縁膜
- 24a, 24b 分割領域

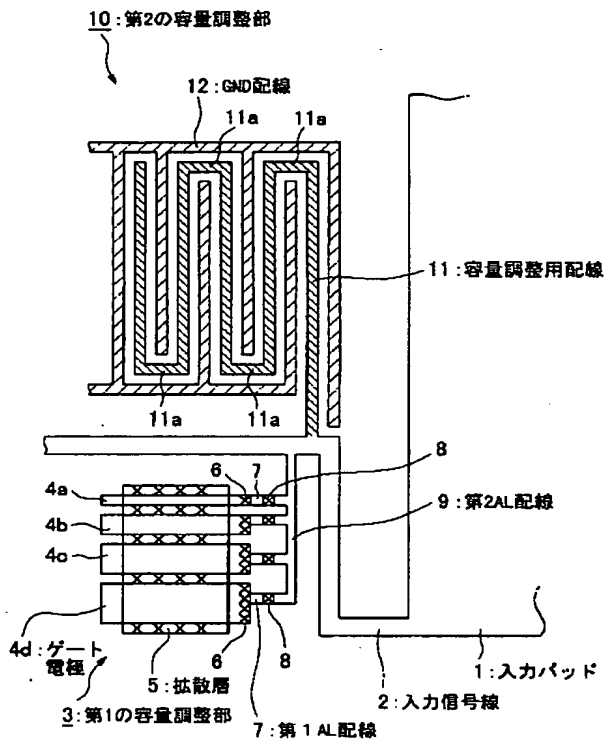
【図5】



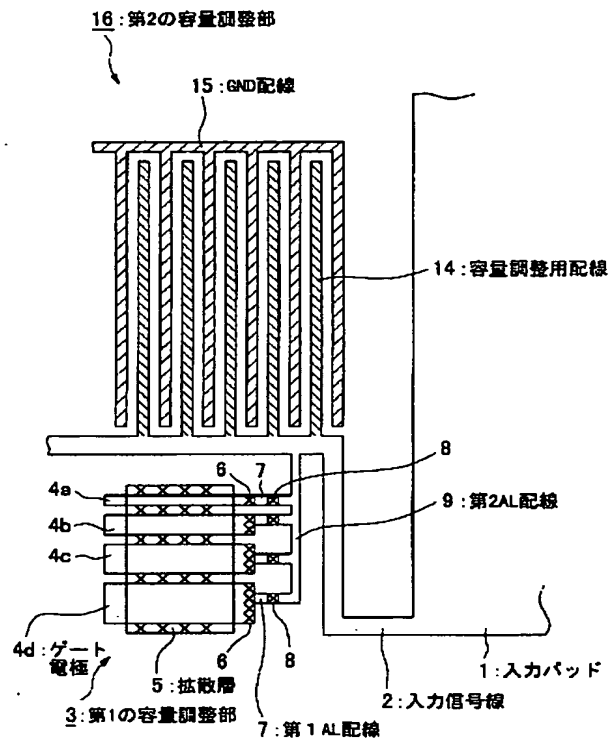
【図6】



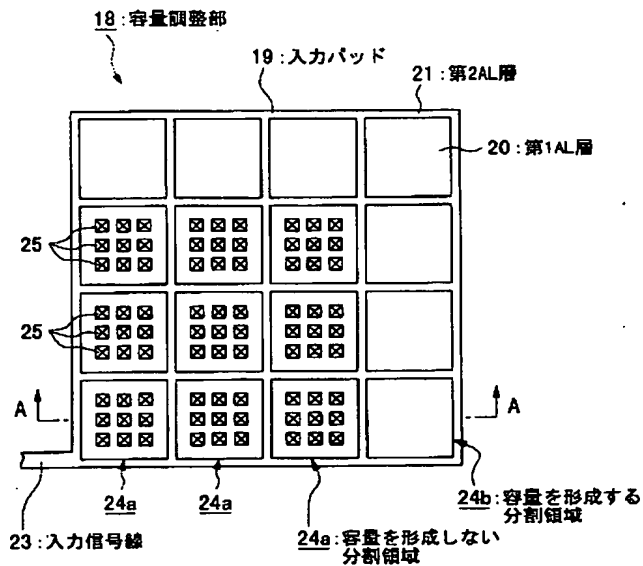
【図1】



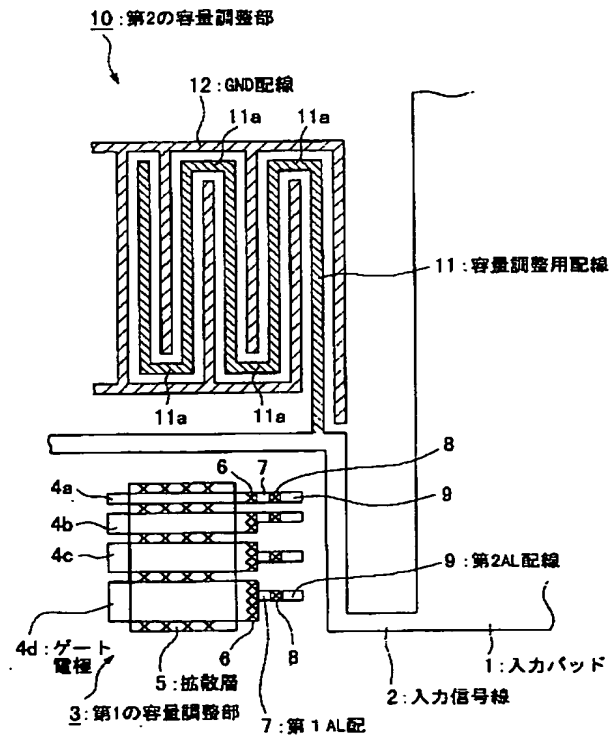
【図2】



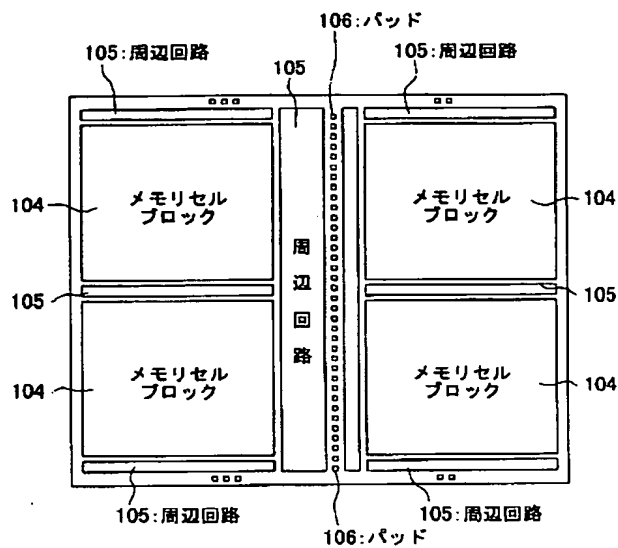
【図4】



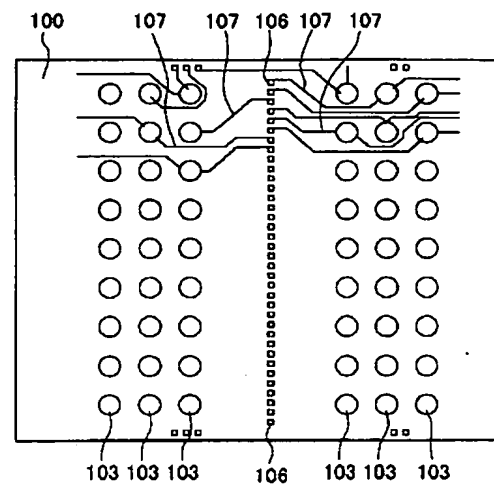
【図3】



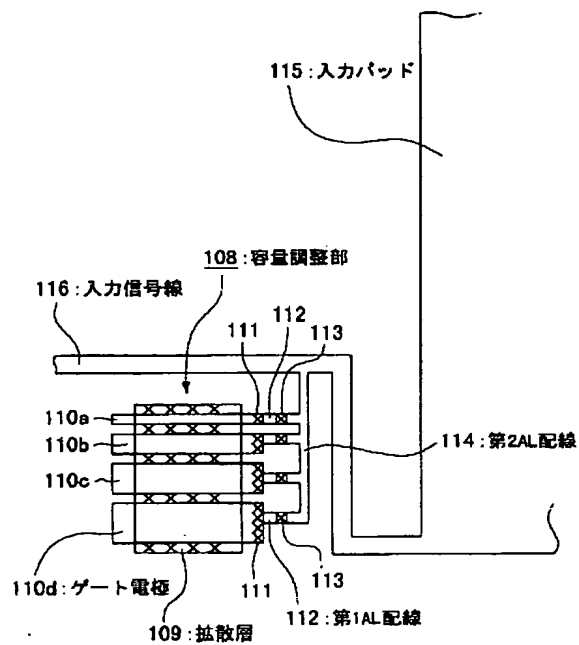
【図7】



【図8】



【図9】



フロントページの続き

(58) 調査した分野(Int. Cl. ⁷, DB名)

H01L 21/822

H01L 21/3205

H01L 27/04